

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-187651  
(43)Date of publication of application : 09.07.1999

(51)Int.CI. H02M 3/155  
G05F 1/10

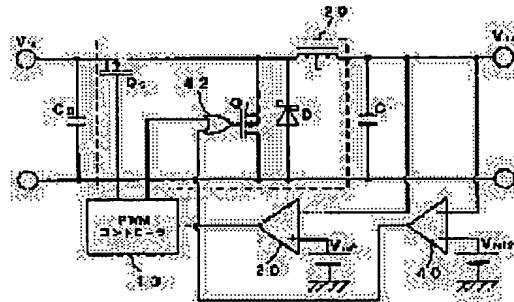
(21)Application number : 09-355794 (71)Applicant : FUJI ELELCROCHEM CO LTD  
(22)Date of filing : 24.12.1997 (72)Inventor : SHIBATA TOSHIO  
WATANABE HIROSHI  
SUGIHARA TOSHIMASA

## (54) SYNCHRONOUS RECTIFICATION SYSTEM NON-INSULATING TYPE DC/DC CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain size reduction in a circuit and cost reduction by outputting an on-drive signal to a commutating transistor when it is detected that a terminal-to-terminal voltage value between smoothing capacitors is a reference voltage value or higher.

**SOLUTION:** In this circuit, a signal output end of an overvoltage detection part 40 is connected to a gate terminal of a commutating transistor Q1 via an OR circuit 42, and other input end of the OR circuit 42 is connected to the output end for inputting to the commutating transistor Q1 side of a pulse width control circuit 10. The overvoltage detection part 40 forms an output signal Sout in a L-state, when an output voltage Vout is equal to a reference voltage Vref2 or lower, so that a synchronous rectification output part 20 conducts normal synchronous rectification operation. On the other hand, when the output voltage Vout becomes the reference voltage Vref2 or higher, the output signal Sout of the overvoltage detection part 40 turns into an H-state, and the commutating transistor Q1 is forcibly kept in an on-state, so that a section between the output terminals is kept in a short-circuit state, and the output Vout is in a stopping condition. It is thus possible to attain size reduction in a circuit and cost reduction.



### LEGAL STATUS

[Date of request for examination] 30.09.1999

[Date of sending the examiner's decision of rejection] 26.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-187651

(43)公開日 平成11年(1999)7月9日

(51)Int.Cl.<sup>6</sup>  
H 02 M 3/155  
G 05 F 1/10

識別記号  
3 0 4

F I  
H 02 M 3/155  
G 05 F 1/10

H  
C  
3 0 4 E

審査請求 未請求 請求項の数1 O.L (全4頁)

(21)出願番号 特願平9-355794

(22)出願日 平成9年(1997)12月24日

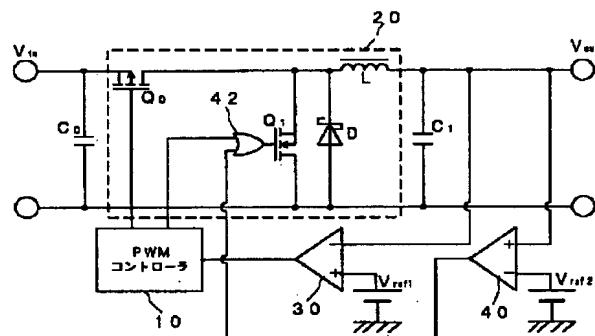
(71)出願人 000237721  
富士電気化学株式会社  
東京都港区新橋5丁目36番11号  
(72)発明者 柴田 敏夫  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(72)発明者 渡辺 浩  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(72)発明者 杉原 俊正  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(74)代理人 弁理士 一色 健輔 (外2名)

(54)【発明の名称】 同期整流方式非絶縁型DC-DCコンバータ

(57)【要約】

【課題】 同期整流方式非絶縁DC-DCコンバータの小型化とコストダウンを達成するための過電圧保護回路を提供する。

【解決手段】 同期整流方式非絶縁DC-DCコンバータにおいて、平滑コンデンサ間の端子間電圧と所定の基準電圧とを比較して前記端子間電圧値が前記基準電圧値以上であることを検出するとオン駆動信号を転流用トランジスタに向けて出力する過電圧保護回路を備える。



## 【特許請求の範囲】

【請求項1】 直流入力端子間にスイッチング用トランジスタと転流用トランジスタとが直列に接続されるとともに、この転流用トランジスタの端子間にチョークコイルと平滑コンデンサとが接続され、前記スイッチング用トランジスタおよび前記転流用トランジスタを所定の制御回路でもって相補的にオン／オフ駆動することで前記平滑コンデンサの端子間から直流出力を得る同期整流方式非絶縁型DC-D Cコンバータにおいて、前記平滑コンデンサ間の端子間電圧と所定の基準電圧とを比較して前記端子間電圧値が前記基準電圧値以上であることを検出するとオン駆動信号を前記転流用トランジスタに向けて出力する過電圧保護回路を備えたことを特徴とする同期整流方式非絶縁DC-D Cコンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、同期整流方式の非絶縁DC-D Cコンバータに関し、特に過電圧保護回路を備えることによって負荷に過電圧が掛かるのを防止する技術に関する。

## 【0002】

【従来の技術】 コンピュータなどの電源回路として、同期整流方式の非絶縁型DC-D Cコンバータがよく知られている。図2に従来の同期整流方式非絶縁DC-D Cコンバータの概略回路図を示した。直流入力端子間にスイッチング用トランジスタQ0および転流用トランジスタQ1を直列に接続している。これらトランジスタQ0, Q1としてはFETが用いられる。各トランジスタQ0, Q1のゲートにパルス幅制御回路10の各出力端子をそれぞれ接続し、転流用トランジスタQ1のドレンソース間にチョークコイルLと平滑コンデンサC1とを直列に接続している。ここで、平滑コンデンサC1の両端が負荷に接続する出力端子となり、スイッチング用トランジスタQ0、転流用トランジスタQ1およびチョークコイルLによって同期整流出力部20が構成される。

【0003】 平滑コンデンサC1の高圧側端子および基準電圧Vref1を比較器30の各入力端子に接続し、この比較器30の出力端子をパルス幅制御回路10の入力端子に接続している。また、直流入力端子間にはコンデンサC0を接続し、転流用トランジスタQ1のドレンソース間にはダイオードDを接続している。

【0004】 このような構成のDC-D Cコンバータについて動作は以下のようになっている。比較器30は、平滑コンデンサC1からの出力電圧と基準電圧を比較した信号をパルス幅制御回路10へ出力する。パルス幅制御回路10は入力された比較信号に基づいてスイッチング信号をスイッチングトランジスタQ0のゲートへ出力する。このスイッチング信号によってスイッチングトランジスタQ0は直流入力電圧を断続してパルス電圧を生

成する。この出力によってチョークコイルLに電流が流れ、平滑コンデンサC1が充電される。この平滑コンデンサC1の端子間に現れる電圧が負荷に印加される出力電圧となる。

【0005】 このとき、パルス幅制御回路10はトランジスタQ0, Q1を相補的にオンオフ駆動する。転流用トランジスタQ1のオンオフ状態はスイッチングトランジスタQ0のそれと反転したものとする。このような同期整流動作を行うことにより、各トランジスタQ0, Q1に代えてショットキーバリアダイオード(SBD)のみを用いた場合に比べ、同様の整流作用を確保した上でSBDの順方向降下電圧による損失をなくして効率を高くできる。

【0006】 またダイオードDは、スイッチングトランジスタQ0がターンオフしてから転流用トランジスタQ1がターンオンするまでの間にチョークコイルL間に発生したフライバックエネルギーの放出用電流路を形成する。このダイオードDは場合により省略可能である。

【0007】 このようなDC-D Cコンバータは、その出力端に接続された負荷に過電圧が印加されないようにするために過電圧保護回路を設けてある。通常、過電圧保護回路は比較器40による過電圧検出部40とサイリスタ41によって構成されている。過電圧検出部40は出力電圧Voutが基準電圧値Vref2を越えると出力信号SoutのレベルをHigh(H)にする。このH信号がサイリスタ41のコントロール端子に入力されることでサイリスタ41が導通状態となる。そのため、出力端が短絡状態となり出力電圧がゼロになる。このようにして過電圧が出力されるのを防止している。

## 【0008】

【発明が解決しようとする課題】 コンピュータなどの電子機器の軽量小型化、低価格化を達成するためには電子機器を構成する部品や回路の小型化、低価格化が要求される。当然、同期整流方式非絶縁DC-D Cコンバータもこの例に漏れない。しかし、従来の同期整流方式非絶縁DC-D Cコンバータにおける過電圧保護回路は大容量でしかも高価なサイリスタを用いる必要がある。そのため、同期整流方式非絶縁DC-D Cコンバータの実装面積を増大させ、コストアップの大きな原因となっている。

【0009】 そこで本発明は、同期整流方式非絶縁DC-D Cコンバータにおいて、サイリスタなどの大容量の素子を使用することなく実効的な過電圧保護回路を構成することで、回路の小型化とともにコストダウンを達成することを目的としている。

## 【0010】

【課題を解決するための手段】 本発明の同期整流方式非絶縁DC-D Cコンバータは、平滑コンデンサ間の端子間電圧と所定の基準電圧とを比較して前記端子間電圧値が前記基準電圧値以上であることを検出するとオン駆動

信号を前記転流用トランジスタに向けて出力する過電圧保護回路を備えている。すなわち、過電圧状態になると出力端子間にチョークコイルを介して短絡状態となり、出力電圧の発生が停止する。このようにして接続される負荷に過電圧が印加されないようにしている。

【0011】

【発明の実施の形態】図1は本発明の実施例における同期整流方式非絶縁DC-DCコンバータの概略回路図である。なお、前述した図2の従来例と同一の構成要素には同一符号を付してある。また、従来と共に通する事項で説明の重複する部分は省略する。本実施例における過電圧保護回路は、上述の過電圧検出部40の信号出力端をOR回路42を介して、転流用トランジスタQ1のゲート端子に接続する構成としている。OR回路42の他の入力端はパルス幅制御回路10の転流用トランジスタQ1に入力する側の出力端と接続している。以下、この回路構成における過電圧保護動作について説明する。

【0012】OR回路42は、2つの入力端の両方がLでない限りはHレベルの信号を出力する。過電圧検出部40は出力電圧Voutが基準電圧Vref2以下であるとき出力信号SoutをLOW(L)状態にするので、転流用トランジスタQ1の動作はパルス幅制御回路10の信号出力に従う。すなわち、同期整流出力部20は通常の同期整流動作を行う。

【0013】一方、出力電圧Voutが基準電圧Vref2以上となると、過電圧検出部40の出力信号SoutはH状態となる。OR回路42はこのH信号によってHを出力し続け、転流用トランジスタQ1を強制的にON状態にさせる。このため、出力端子間にチョークコイルを介して短絡状態となり、出力Voutの発生そのものが停止状態<sup>30</sup>となる。

\*となる。このようにして、過電圧出力となるのを防止している。

【0014】

【発明の効果】過電圧検出部が過電圧検出時に出力する信号を転流用トランジスタのON駆動信号とする構成の過電圧保護回路としている。そのため、サイリスタなどの容積的に大きなしかも高価な素子を使用する必要がない。したがって、同期整流方式非絶縁DC-DCコンバータの実装面積とコストを減少させることができる。また、この同期整流方式非絶縁DC-DCコンバータを電源として組み込んだ機器も軽量小型化とコストダウンを達成することができる。

【図面の簡単な説明】

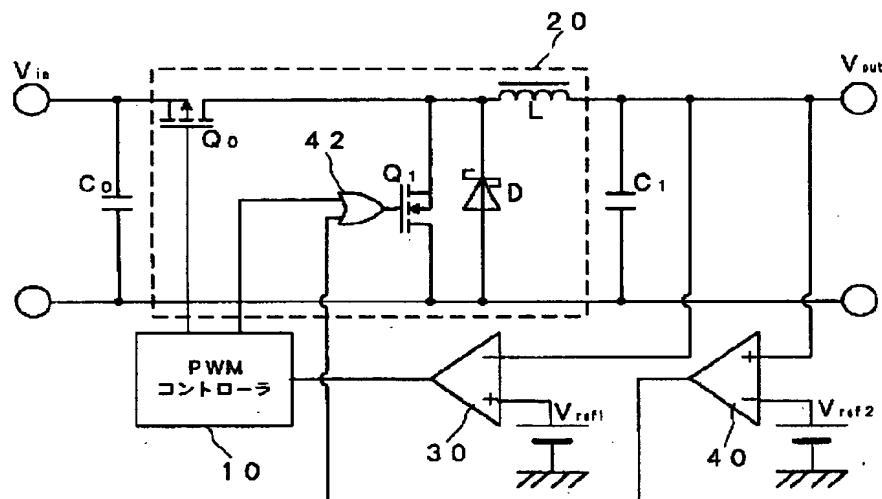
【図1】本発明の実施例における同期整流方式非絶縁DC-DCコンバータの概略回路図である。

【図2】従来の同期整流方式非絶縁DC-DCコンバータの概略回路図である。

【符号の説明】

10	パルス幅制御回路
20	同期整流出力部
30	比較器
40	過電圧検出部
42	OR回路
C0	コンデンサ
C1	平滑コンデンサ
D	ダイオード
L	チョークコイル
Q0	スイッチング用トランジスタ
Q1	転流用トランジスタ
Vref2	過電圧検出用基準電圧

【図1】



【図2】

